

PAT-NO: JP410097564A

DOCUMENT-IDENTIFIER: JP 10097564 A

TITLE: CLOCK DISTRIBUTION SYSTEM

PUBN-DATE: April 14, 1998

INVENTOR-INFORMATION:

NAME
YAMADOU, TOSHIO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP08273059

APPL-DATE: September 24, 1996

INT-CL (IPC): G06F017/50, G06F001/10, H01L021/82

ABSTRACT:

PROBLEM TO BE SOLVED: To consider, in case clock distribution using a multi-pin clock driver is performed, 'clock skew distributed from the same pin is smaller than clock skew distributed from a different pin' and to reduce the time and man-hours needed to generate and correct a hardware description.

SOLUTION: A logic synthesis means 2 generates a before-clock-distribution circuit according to the hardware description in a hardware description storage means 1. A clock net connection information storage means 4 stores clock net connection information indicating the style of clock distribution at the use of the multi-pin clock driver. A clock distributing means 5 generates an after-clock-distribution circuit (logic circuit wherein clock pins of all clock driving elements are connected by a net from one of circuit clock pin) according to the before-clock-distribution circuit and clock net connection information.

COPYRIGHT: (C)1998,JPO

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-97564

(43)公開日 平成10年(1998)4月14日

(51)Int.Cl.^{*}
G 0 6 F 17/50
1/10
H 0 1 L 21/82

識別記号

F I
G 0 6 F 15/60
1/04
H 0 1 L 21/82

6 5 6 Z
3 3 0 Z
W

審査請求 有 請求項の数3 FD (全6頁)

(21)出願番号 特願平8-273059

(22)出願日 平成8年(1996)9月24日

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号

(72)発明者 山鍋 俊雄
東京都港区芝五丁目7番1号 日本電気株式会社内

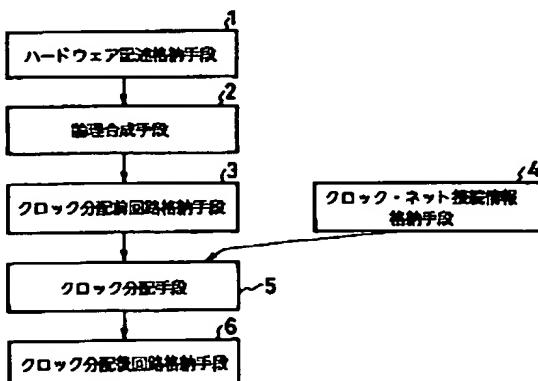
(74)代理人 弁理士 河原 純一

(54)【発明の名称】 クロック分配方式

(57)【要約】

【課題】 多ビンのクロック・ドライバを用いたクロック分配を行う場合、「同一ビンから分配したクロック・スキーの方が異なるビンから分配したクロック・スキーよりも小さいこと」を考慮できるようにし、かつ、ハードウェア記述の作成や修正に要する時間および工数を削減する。

【解決手段】 論理合成手段2は、ハードウェア記述格納手段1内のハードウェア記述に基づき、クロック分配前回路を生成する。クロック・ネット接続情報格納手段4は、多ビンのクロック・ドライバを用いる場合のクロック分配の態様を指示するクロック・ネット接続情報を格納する。クロック分配手段5は、クロック分配前回路とクロック・ネット接続情報とにに基づき、クロック分配後回路（全てのクロック駆動素子のクロック・ピンが複数の回路クロック・ピンのいずれかからのネットで接続された論理回路）を生成する。



1

【特許請求の範囲】

【請求項1】 クロック分配の対象となる論理回路のハードウェア記述を格納するハードウェア記述格納手段と、

前記ハードウェア記述格納手段に格納されたハードウェア記述に基づいて「論理回路内の全てのクロック駆動素子のクロック・ピンが1つの回路クロック・ピンからのネットで接続された論理回路」であるクロック分配前回路を生成する論理合成手段と、

前記論理合成手段により生成されたクロック分配前回路を格納するクロック分配前回路格納手段と、

複数の回路クロック・ピンとクロック駆動素子のクロック・ピンとを接続するネットを特定することによって多ビンのクロック・ドライバを用いる場合のクロック分配の態様を指示するクロック・ネット接続情報を格納するクロック・ネット接続情報格納手段と、

前記クロック分配前回路格納手段に格納されたクロック分配前回路と前記クロック・ネット接続情報格納手段に基づき、「論理回路内の全てのクロック駆動素子のクロック・ピンが複数の回路クロック・ピンのいずれかからのネットで接続された論理回路」であるクロック分配後回路を生成するクロック分配手段と、

前記クロック分配手段により生成されたクロック分配後回路を格納するクロック分配後回路格納手段とを有することを特徴とするクロック分配方式。

【請求項2】 クロック・ネット接続情報が「クロック分配前回路の回路クロック・ピン、および回路クロック・ピンから出ているネットの削除を指示する削除指示」、「クロック分配後回路の回路クロック・ピン、および回路クロック・ピンから出ているネットの生成を指示する生成指示」、ならびに「クロック分配後回路の回路クロック・ピンから出ているネットへの回路クロック・ピンおよびクロック駆動素子の接続を指示する接続指示」からなることを特徴とする請求項1記載のクロック分配方式。

【請求項3】 クロック駆動素子がフリップ・フロップやラッチであることを特徴とする請求項1または請求項2記載のクロック分配方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理回路内のクロック駆動素子（クロックパルスにより駆動する素子。具体的には、フリップ・フロップやラッチ）に論理回路全体のクロック・ピン（以下、回路クロック・ピンという）からのネットを分配するクロック分配方式に関し、特に多ビンのクロック・ドライバを分配対象の論理回路の前段に用いる場合のクロック分配方式に関する。

【0002】

【従来の技術】従来より、クロック分配方式の処理は、

2

クロック駆動素子（フリップ・フロップ等）の間のクロック・スキューを最小にすることを目的として実行されている。

【0003】この種のクロック分配方式に関する従来技術文献としては、例えば、次のようなものが公表されている。すなわち、特開平7-129638号公報には、均等にクロックを自動分配する技術が記載されている。また、特開平5-298390号公報には、レイアウト結果の回路の位置情報よりクロックを自動分配する技術が記載されている。

【0004】さらに、従来のクロック分配方式としては、ハードウェア記述上でクロック分配を行う方式もあった。

【0005】

【発明が解決しようとする課題】上述した従来のクロック分配方式には、以下の①および②に示す問題点があった。

【0006】① 多ビンのクロック・ドライバを用いた場合には、分配対象の論理回路内の2つのクロック・ピン（クロック駆動素子のクロック・ピン）に対して、同一の回路クロック・ピンからクロックが分配される場合と、異なる回路クロック・ピンからクロックが分配される場合とが生じうる。この際に、同一の回路クロック・ピンから分配した場合のクロック・スキューの方が、異なる回路クロック・ピンから分配した場合のクロック・スキューよりも小さくなる。従来のクロック分配方式では、上記の内容を考慮してクロック分配を行うことができない。

【0007】② ハードウェア記述上で多ビンのクロック・ドライバを用いた際のクロック分配を行った場合には、その記述内容が複雑になり、そのハードウェア記述の作成や修正に時間がかかる。

【0008】本発明の目的は、上述の点に鑑み、多ビンのクロック・ドライバを用いたクロック分配を行う場合に、「同一ビン（回路クロック・ピン）から分配したクロック・スキューよりも小さいこと」を考慮したクロック分配を行うことができ、それとともに、ハードウェア記述の作成や修正に要する時間および工数を削減することができるクロック分配方式を提供することにある。

【0009】

【課題を解決するための手段】本発明のクロック分配方式は、クロック分配の対象となる論理回路のハードウェア記述を格納するハードウェア記述格納手段と、前記ハードウェア記述格納手段に格納されたハードウェア記述に基づいて「論理回路内の全てのクロック駆動素子のクロック・ピンが1つの回路クロック・ピンからのネットで接続された論理回路」であるクロック分配前回路を生成する論理合成手段と、前記論理合成手段により生成されたクロック分配前回路を格納するクロック分配前回路

3

格納手段と、複数の回路クロック・ピンとクロック駆動素子のクロック・ピンとを接続するネットを特定することによって多ビンのクロック・ドライバを用いる場合のクロック分配の態様を指示するクロック・ネット接続情報を格納するクロック・ネット接続情報格納手段と、前記クロック分配前回路格納手段に格納されたクロック分配前回路と前記クロック・ネット接続情報格納手段に格納されたクロック・ネット接続情報とに基づき、「論理回路内の全てのクロック駆動素子のクロック・ピンが複数の回路クロック・ピンのいずれかからのネットで接続された論理回路」であるクロック分配後回路を生成するクロック分配手段と、前記クロック分配手段により生成されたクロック分配後回路を格納するクロック分配後回路格納手段とを有している。

【0010】

【発明の実施の形態】次に、本発明について図面を参照して説明する。

【0011】

【実施例】

【0012】図1は、本発明のクロック分配方式の一実施例の構成を示すブロック図である。本実施例のクロック分配方式は、ハードウェア記述格納手段1と、論理合成手段2と、クロック分配前回路格納手段3と、クロック・ネット接続情報格納手段4と、クロック分配手段5と、クロック分配後回路格納手段6とを含んで構成されている。

【0013】ハードウェア記述格納手段1は、クロック分配の対象となる論理回路のハードウェア記述を格納する。論理合成手段2は、ハードウェア記述格納手段1に格納されたハードウェア記述に基づいて「論理回路内の全てのクロック駆動素子のクロック・ピンが1つの回路クロック・ピンからのネットで接続された論理回路」であるクロック分配前回路を生成する。クロック分配前回路格納手段3は、論理合成手段2により生成されたクロック分配前回路を格納する。クロック・ネット接続情報格納手段4は、複数の回路クロック・ピンとクロック駆動素子のクロック・ピンとを接続するネットを特定することによって多ビンのクロック・ドライバを用いる場合のクロック分配の態様を指示するクロック・ネット接続情報を格納する。クロック分配手段5は、クロック分配前回路格納手段3に格納されたクロック分配前回路とクロック・ネット接続情報格納手段4に格納されたクロック・ネット接続情報とに基づき、「論理回路内の全てのクロック駆動素子のクロック・ピンが複数の回路クロック・ピンのいずれかからのネットで接続された論理回路」であるクロック分配後回路を生成する。クロック分配後回路格納手段6は、クロック分配手段5により生成されたクロック分配後回路を格納する。

【0014】図2は、ハードウェア記述格納手段1に格納されるハードウェア記述の一例(クロック分配対象の

4

論理回路に4つのフリップ・フロップが存在することを推定するハードウェア記述)を示す図である。

【0015】図3は、クロック分配前回路格納手段3に格納されるクロック分配前回路の一例(図2に示すハードウェア記述に対応するクロック分配前回路)を示す図である。

【0016】図4は、クロック・ネット接続情報格納手段4に格納されるクロック・ネット接続情報の一例を示す図である。

10 【0017】図5は、クロック分配後回路格納手段6に格納されるクロック分配後回路の一例(図4に示すクロック・ネット接続情報による指示が反映されたクロック分配後回路)を示す図である。

【0018】図6は、従来技術と対比して本実施例のクロック分配方式を説明するための図であり、図5に示すクロック分配後回路におけるクロック分配の内容を表すハードウェア記述を示す図である。

20 【0019】図7は、本実施例のクロック分配方式の処理を示す流れ図である。この処理は、ハードウェア記述入力ステップ701と、クロック分配前回路生成ステップ702と、クロック分配前回路およびクロック・ネット接続情報入力ステップ703と、クロック分配後回路生成ステップ704とからなる。

【0020】次に、このように構成された本実施例のクロック分配方式の動作について説明する(図7参照)。ここでは、図2～図6を用いて、具体的な動作について説明する。

【0021】ハードウェア記述格納手段1は、図2に示すようなハードウェア記述を格納している。

【0022】論理合成手段2は、ハードウェア記述格納手段1内のハードウェア記述を入力し(ステップ701)、そのハードウェア記述に基づいて図3に示すようなクロック分配前回路を生成する(ステップ702)。

【0023】このクロック分配前回路は、クロック分配対象の論理回路内の4つのフリップ・フロップのクロック・ピンが1つの回路クロック・ピンからのネットで接続された論理回路である。

40 【0024】このクロック分配前回路において、B_r(1), B_r(0), C_r, およびD_rはフリップ・フロップを表しており、A(1), A(0), B(1), B(0), C, およびDはネットを表しており、A(1:0)は入力端子を表しており、clockは回路クロック・ピンを表している。

【0025】クロック分配前回路格納手段3は、このようなクロック分配前回路を格納する。

【0026】一方、クロック・ネット接続情報格納手段4は、図4に示すようなクロック・ネット接続情報を格納している。

【0027】このクロック・ネット接続情報は、クロック分配対象の論理回路における以下の①および②に示す

5

状況を反映し、クロック・スキーの最小化を図るために、多ピンのクロック・ドライバの同一出力端子から駆動されるフリップ・フロップのクロック・ピンの組合せを「B_r(1) および C_r」のクロック・ピンの組合せ」と「B_r(0) および D_r」のクロック・ピンの組合せ」とするものである。

① クロック分配対象の論理回路に対して利用できるクロック・ドライバは、1つの出力端子（ピン）について2つのフリップ・フロップしか駆動できないものとする。

② クロック分配対象の論理回路における各フリップ・フロップの接続状態は、B_r(1) と C_r とが接続されており、B_r(0) と D_r とが接続されている。

【0028】図4中の各行の指示は、以下の内容を表している。ここで、1～2行目の指示が削除指示に該当し、3～6行目の指示が生成指示に該当し、7～12行目の指示が接続指示に該当する。

【0029】1行目：クロック分配前回路の回路クロック・ピンclockの削除を指示する。

【0030】2行目：クロック分配前回路のネットclock（回路クロック・ピンclockから出ているネット）の削除を指示する。

【0031】3行目：クロック分配後回路の回路クロック・ピンclock1の生成を指示する。

【0032】4行目：クロック分配後回路のネットclock1（回路クロック・ピンclock1から出ているネット）の生成を指示する。

【0033】5行目：クロック分配後回路の回路クロック・ピンclock2の生成を指示する。

【0034】6行目：クロック分配後回路のネットclock2（回路クロック・ピンclock2から出ているネット）の生成を指示する。

【0035】7行目：ネットclock1と回路クロック・ピンclock1との接続を指示する。

【0036】8行目：ネットclock1とフリップ・フロップB_r(1)のクロック・ピンとの接続を指示する。

【0037】9行目：ネットclock1とフリップ・フロップC_rのクロック・ピンとの接続を指示する。

【0038】10行目：ネットclock2と回路クロック・ピンclock2との接続を指示する。

【0039】11行目：ネットclock2とフリップ・フロップB_r(0)のクロック・ピンとの接続を指示する。

【0040】12行目：ネットclock2とフリップ・フロップD_rのクロック・ピンとの接続を指示する。

【0041】クロック分配手段5は、クロック分配前回路格納手段3に格納されたクロック分配前回路とクロック分配後回路格納手段4に格納されたクロック・ネット接続情報を入力し（ステップ703）、図5に示すようなクロック分配後回路を生成する（ステップ704）。

6

クロック・ネット情報格納手段4に格納されたクロック・ネット接続情報を入力し（ステップ703）、図5に示すようなクロック分配後回路を生成する（ステップ704）。

【0042】ここで、図5中のClock-driverは、上述のクロック・ネット接続情報に関する説明の状況①で仮想した多ピンのクロック・ドライバを表している。

【0043】ところで、図6は、図5中のクロック分配後回路におけるクロック分配（多ピンのクロック・ドライバClock-driverを用いた場合のクロック分配）を従来技術における「クロック分配をハードウェア記述上で行う方式」で実現する際のハードウェア記述を示す図である。このように、ハードウェア記述上で本実施例におけるクロック分配と同様のクロック分配を実現しようとすると、そのハードウェア記述の記述内容は複雑なものになる。

【0044】

【発明の効果】以上説明したように、本発明のクロック分配方式によると、クロック・ネット接続情報の考え方を採用すること等により、多ピンのクロック・ドライバを用いたクロック分配を行う場合において、以下の①および②に示す効果が生じる。

【0045】① 「同一ピンから分配したクロック・スキーの方が異なるピンから分配したクロック・スキーよりも小さいこと」を考慮したクロック分配を行うことができる。

【0046】② それとともに、ハードウェア記述の記述内容が簡単になり、ハードウェア記述の作成や修正に要する時間および工数を削減することができる。

【図面の簡単な説明】

【図1】本発明の一実施例の構成を示すブロック図である。

【図2】図1中のハードウェア記述格納手段に格納されるハードウェア記述の一例を示す図である。

【図3】図1中のクロック分配前回路格納手段に格納されるクロック分配前回路の一例を示す図である。

【図4】図1中のクロック・ネット接続情報格納手段に格納されるクロック・ネット接続情報の一例を示す図である。

【図5】図1中のクロック分配後回路格納手段に格納されるクロック分配後回路の一例を示す図である。

【図6】従来技術と対比して本実施例のクロック分配方式を説明するための図であり、図5に示すクロック分配後回路におけるクロック分配の内容を表すハードウェア記述を示す図である。

【図7】図1に示すクロック分配方式の処理を示す流れ図である。

【符号の説明】

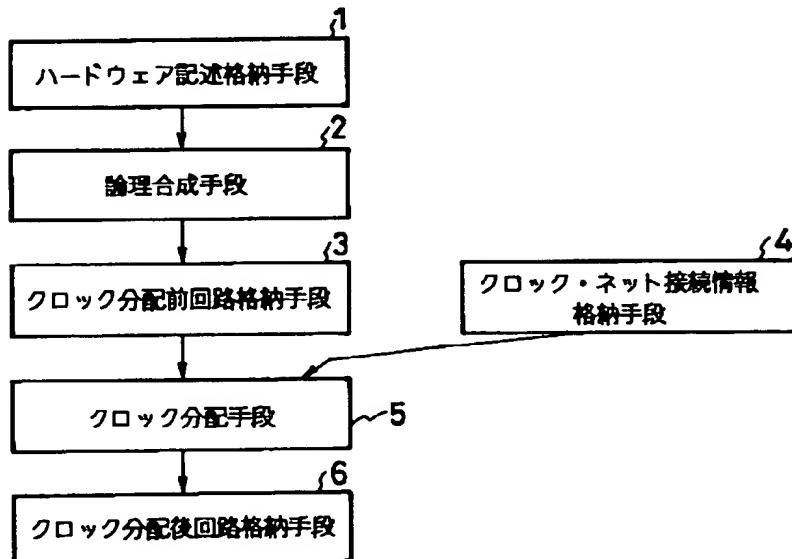
7

8

- 2 論理合成手段
- 3 クロック分配前回路格納手段
- 4 クロック・ネット接続情報格納手段

- 5 クロック分配手段
- 6 クロック分配後回路格納手段

【図1】



【図2】

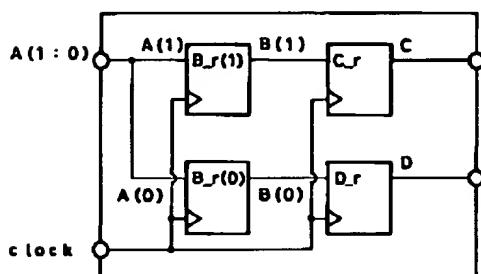
```

process(clock)
  if clock'event and clock = '1' then
    B(1 downto 0) <= A(1 downto 0);
  end if;
end process;

process(clock)
  if clock'event and clock = '1' then
    C <= B(1);
  end if;
end process;

process(clock)
  if clock'event and clock = '1' then
    D <= B(0);
  end if;
end process;
  
```

【図3】

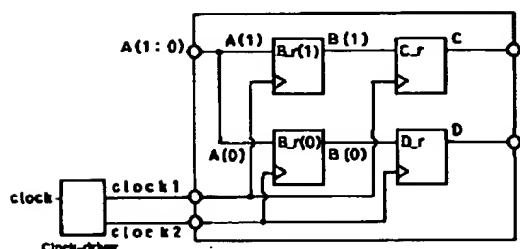


【図4】

```

1:remove_port clock
2:remove_net clock
3:create_port clock1
4:create_net clock1
5:create_port clock2
6:create_net clock2
7:connect_net clock1 (port,clock1)
8:connect_net clock1 (clock_pin,B_r(1))
9:connect_net clock1 (clock_pin,C_r )
10:connect_net clock2 (port,clock2)
11:connect_net clock2 (clock_pin,B_r(0))
12:connect_net clock2 (clock_pin,D_r )
  
```

【図5】



【図6】

```

process(clock1)
  if clock1'event and clock1 = '1' then
    B(1) <= A(1);
  end if;
end process;

process(clock2)
  if clock2'event and clock2 = '1' then
    B(0) <= A(0);
  end if;
end process;

process(clock1)
  if clock1'event and clock1 = '1' then
    C <- B(1);
  end if;
end process;

process(clock2)
  if clock2'event and clock2 = '1' then
    D <- B(0);
  end if;
end process;

```

【図7】

